

## Circuiti di conteggio a numero predeterminato di impulsi ed applicazioni come temporizzatori

DIOMEDE MARINO (\*)

*Laboratori di Elettronica*

**Riassunto.** — Si descrivono alcuni tipi di circuiti di conteggio a numero predeterminato di impulsi, studiati e realizzati presso i laboratori di Elettronica dell'Istituto Superiore di Sanità. Essi presentano, rispetto ai demoltiplicatori dello stesso tipo usualmente adottati, una maggiore semplicità.

**Summary.** (*Circuits for counting a pre-established number of impulses and their uses as temporisers*). — Some circuits for counting a pre-established number of impulses are described. These circuits have been studied and used at the Electronics Laboratories of the Istituto Superiore di Sanità. They are more simple than the usually circuits of a similar type because the decodification matrix is substituted by switch connections.

Fig. 1 concerns a decade divider. Fig. 2 shows the connections of switches of this divider. Fig. 3 represents a decade divider by numbers to 20. Fig. 4 represents a generalized scheme for bynari dividers of the same type.

L'importanza dei circuiti di conteggio a numero predeterminato di impulsi, si è andata via via sviluppando in questi ultimi anni per le applicazioni nel campo della automazione. Essi infatti possono fornire un segnale in uscita ogni volta che è entrato un numero predeterminato di segnali, come avviene, per esempio, per la conta di oggetti trasportati su un nastro, o in quelle esperienze di fisica nucleare in cui si richieda un errore della misura indipendente dalle variazioni del flusso delle particelle (MONTI & SERRA, 1962).

Connessi ad un generatore di impulsi con frequenza nota e stabile, questi dispositivi di conteggio consentono di prefissare degli intervalli di tempo con precisioni dello stesso ordine della precisione del generatore di impulsi. Come è noto, tale precisione con l'impiego di oscillatori a quarzo può arrivare ad

---

(\*) Borsista dei Laboratori di Elettronica.

una parte su  $10^{10}$  per intervalli di tempo dell'ordine del minuto, e a 2 su  $10^{10}$  per intervalli di un giorno. Questo ordine di precisione è enormemente superiore a quello ottenibile con temporizzatori RC (dell'ordine dell'1 % nei tipi più elaborati). Sono già stati realizzati da altri Autori (WALSTON, 1958) dei moltiplicatori basati su logiche binarie, tuttavia non risulta che siano stati realizzati circuiti del tipo di quelli descritti in questo lavoro. L'originalità dei presenti demoltiplicatori infatti consiste nell'aver sostituito l'intera matrice di decodificazione con un unico AND. Questo si traduce in una maggiore semplicità che comporta non solo una maggiore economia ma fondamentalmente un maggior grado di sicurezza, pur restando completamente intatta, nei circuiti qui illustrati, la possibilità di selezionare con opportuni commutatori i segnali provenienti dai collettori dei FLIP-FLOP, in modo da ottenere la demoltiplicazione per un numero intero qualsiasi.

#### DIVISORE A DECADI

Si è realizzato in questi laboratori un divisore di frequenze secondo lo schema logico mostrato in Fig. 1.

Agendo su due selettori si può prestabilire il circuito in modo da ottenere in uscita un singolo impulso per ogni  $N$  impulsi in ingresso, con  $N$  intero compreso tra 1 e 100. I due selettori, quello delle unità e quello delle decine, sono due commutatori a quattro vie e dieci posizioni: la loro funzione è quella di selezionare dagli otto collettori dei transistori di ogni decade la combinazione di « bit » che corrisponde alla « cifra » prescelta rispettivamente per le decine e per le unità.

Ad esempio, sul commutatore  $SW_2$  si imposti il numero 7 e sul commutatore  $SW_1$  si imposti il numero 5. Dopo settanta impulsi si eccitano i primi quattro ingressi del NAND; i successivi 5 impulsi attraverso il selettore delle unità, eccitano gli altri quattro ingressi ed all'uscita del NAND si preleva un impulso. Questo stesso impulso può essere usato per comandare l'azzeramento delle decadi in modo da prelevare all'uscita un impulso ogni 75 impulsi in entrata. Come si vede, l'uso del NAND a otto ingressi elimina l'intera matrice di decodificazione per entrambe le decadi sostituendola con soli otto diodi ed un transistore. Le connessioni fra i collettori dei transistori e ciascuno dei due commutatori sono illustrate nella Fig. 2.

Con  $r$  si indica la relazione interna che riduce il demoltiplicatore di 16 a una decade. È ovvio che lo stesso schema può essere usato, ad es., per operare divisioni del numero  $N$  di impulsi in entrata fino a  $N/1000$ , ecc.

#### DIVISORE NON DECADICO

L'uso dei commutatori per predisporre in un unico NAND la coincidenza che corrisponde ad una data divisione di frequenza, rende superflua oltre la

intera matrice di decodificazione, anche la reazione interna che riduce il demoltiplicatore di 16 (ottenuto con 4 FLIP-FLOP) ad una decade. Con una unica catena di FLIP-FLOP e coincidenze opportunamente selezionate si ottengono divisori di frequenze per un numero arbitrario compreso tra 1 e  $2^n$  se  $n$  sono i FLIP-FLOP in cascata.

Ad esempio, con quattro FLIP-FLOP che in cascata operano una divisione per 16, disponendo le connessioni in modo da prelevare dagli otto collettori i quattro segnali 0 ed 1 opportunamente combinati, si ottiene, semplicemente azionando un commutatore a quattro vie e 16 posizioni, la divisione di  $N$  per un numero compreso fra 1 e 15. Vale anche in questo caso l'osservazione fatta dal MEYER (1963), a proposito di un analogo tipo di divisore. Esiste infatti una limitazione alla lunghezza della catena. Il segnale, prelevato all'uscita, ha un certo tempo di propagazione  $t$  all'interno della catena stessa e se tale ritardo è maggiore della distanza temporale tra due impulsi in ingresso, alcuni di questi ultimi possono sfuggire al conteggio. Possiamo dire cioè che allungando la catena si riduce il « potere risolutivo » della stessa, intendendo per potere risolutivo di una catena, la minima distanza temporale che deve esistere tra due impulsi in ingresso, perchè questi vengano regolarmente contati.

Il tempo di risoluzione non va ovviamente confuso col tempo morto del circuito di conteggio, che non dipende dalla lunghezza della catena, e che può essere molto minore.

Per evitare l'uso di commutatori con numero esagerato di posizioni, può convenire adottare uno schema ibrido, cioè realizzato con decadi e

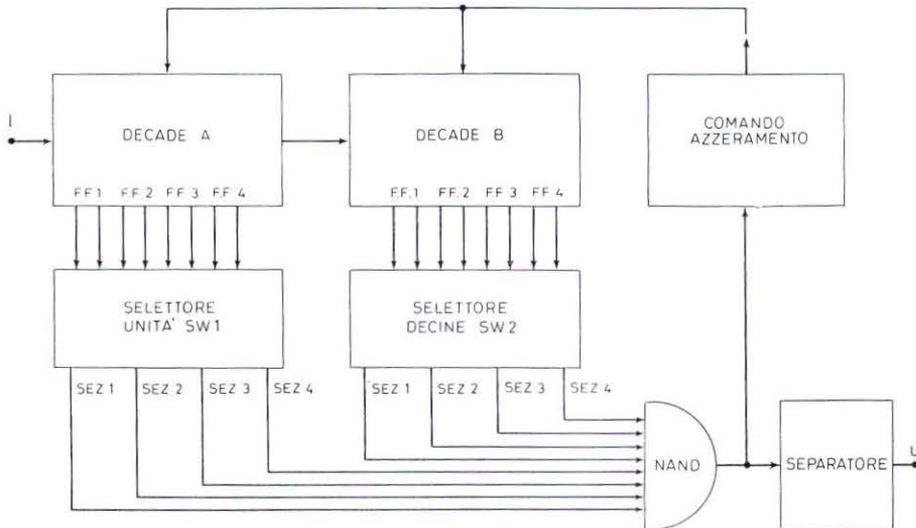


Fig. 1. — Divisore a decadi.

catene libere, intendendo per catena libera una serie di FLIP-FLOP in cascata senza reazione. Nel divisore appresso descritto, anch'esso realizzato in questi laboratori, si opera la divisione di  $N$  fino a  $\frac{N}{150}$ .

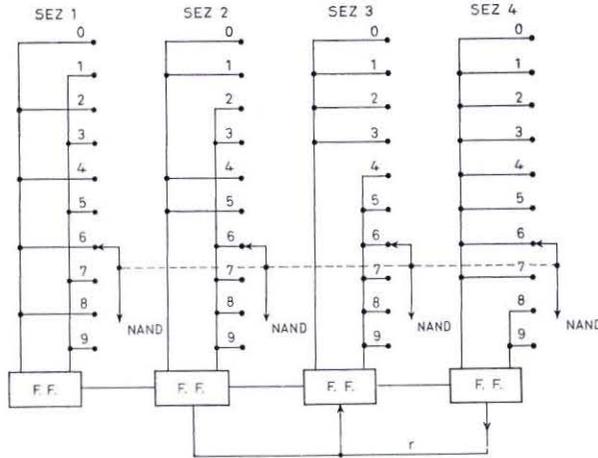


Fig. 2. — Schema dei selettori realizzati con commutatori multipli.

Lo schema di principio è il medesimo di quello già illustrato in Fig. 1, solo che la decade B è sostituita da una catena semplice di quattro FLIP-FLOP. Il selettore  $SW_2$  del tipo già detto, serve ad impostare il numero

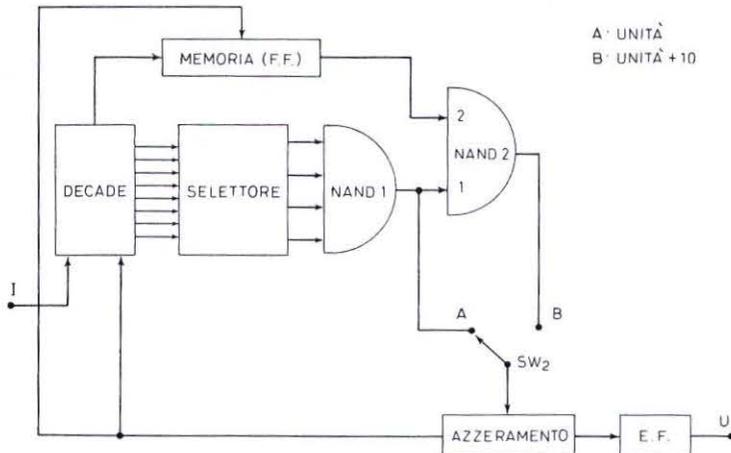


Fig. 3. — Divisore a decadi per demoltiplicazione fino a 20.

intero arbitrario, compreso tra 1 e 15, delle decine di volte per cui si vuole dividere  $N$ ; sul selettore  $SW_1$  che agisce sulla decade, si fissano le unità.

Il numero dei componenti attivi usati è il medesimo del tipo descritto al paragrafo precedente; ma l'eliminazione della reazione ha permesso di estendere la divisione fino a  $\frac{N}{150}$  con lo stesso numero (otto) di FLIP-FLOP.

Per avere la medesima divisione usando un'unica catena libera si dovrebbe usare lo stesso numero di FLIP-FLOP ma commutatori troppo ingombranti.

#### DECADE FUNZIONANTE ADDITIVAMENTE

Il tipo seguente adotta come demoltiplicatore una decade che demoltiplica fino a  $\frac{N}{20}$ , funzionando additivamente. Questo circuito che deriva

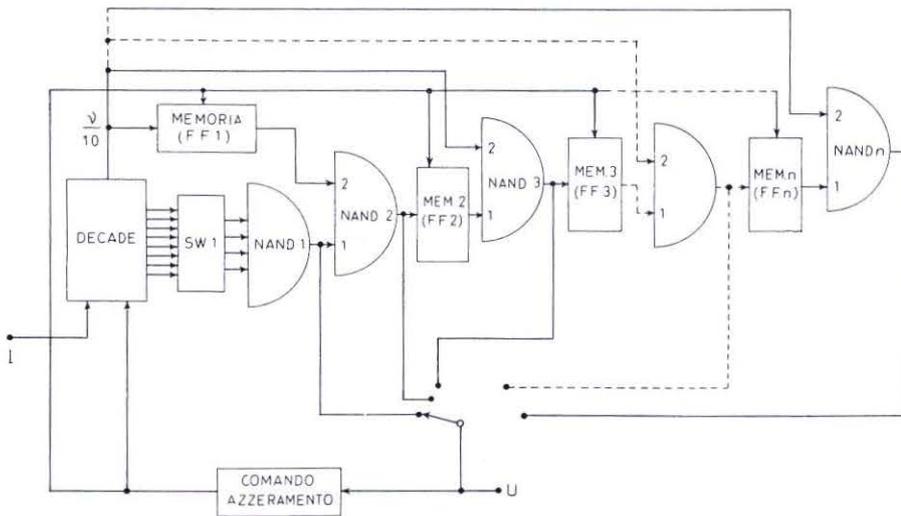


Fig. 4. — Schema generalizzato per demoltiplicazione a base binaria.

dal precedente ne rappresenta una sensibile semplificazione ed è utilizzabile quando la demoltiplicazione consentita dal circuito stesso è sufficiente.

Lo schema logico del divisore è mostrato in Fig. 3. Dopo i primi dieci impulsi si eccita l'ingresso 2 del NAND 2 che resta eccitato per la presenza della memoria, costituita da un FLIP-FLOP; dopo i successivi  $n$  impulsi (se  $n$ , compreso tra 1 e 9, è il numero scelto sul selettore) si eccita anche l'ingresso 1, e dall'uscita B si preleva un impulso dopo  $10 + n$  impulsi in ingresso.

L'impulso in uscita viene usato anche per la rimessa a zero. Per divisioni fino a 9, l'impulso di uscita è prelevato dall'uscita A; al solito esso viene impiegato per la rimessa a zero; il commutatore  $SW_2$  è a due posizioni: nella posizione A il demoltiplicatore divide per numeri fino a 10, nella posizione D la demoltiplicazione avviene per numeri fino a 20. Il commutatore  $SW_2$  può essere commutato agendo sullo stesso asse del commutatore  $SW_1$ . È evidente che lo schema può estendersi per divisioni di frequenze fino a 30, 40 volte etc., però la realizzazione secondo questo principio non è conveniente rispetto agli altri tipi di divisori, perchè il numero dei componenti attivi impiegati diviene maggiore.

Lo schema che si riferisce a quest'ultimo caso è mostrato in Fig. 4.

Si ringrazia il tecnico Giuseppe Massetti per la intelligente e fattiva assistenza tecnica.

3 novembre 1964.

#### BIBLIOGRAFIA

- MEYER, B. W., 1963. *Electronics*, **31**, 77.  
MONTI, A. & A. SERRA, 1962. *Demoltiplicatori preselettori di impulsi*. C.N.R. RT/EL, **5**.  
WALSTON, J. A. (Edit.), 1958. *Transistor circuit design*. Mc. Graw-Hill, N. Y. p. 409.